

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-181319

(43)Date of publication of application : 28.06.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 04-334347

(71)Applicant : ROHM CO LTD

(22)Date of filing : 15.12.1992

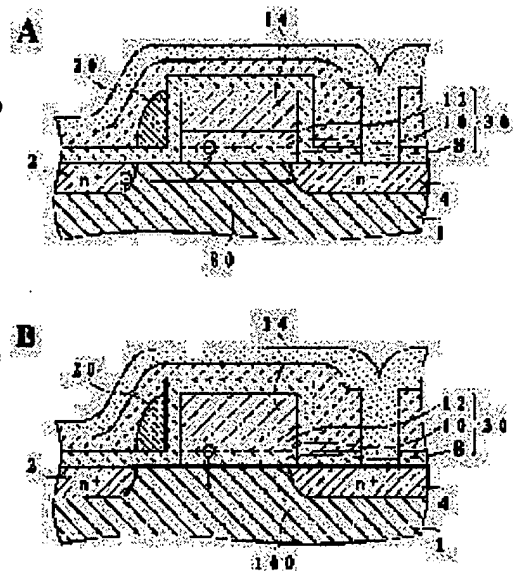
(72)Inventor : NAKAO HIRONOBU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device with which a read-out operation can be conducted accurately.

CONSTITUTION: When a write operation is conducted, high voltage is applied to a source 2, and a channel 8 is formed by electrons jumped out to a drain 4 from the source 2. When low voltage is applied to a selection gate 20, an electric field is concentrated between a selection gate 14 and a substrate 1, a part of electrons are turned to hot electrons, and it is attracted toward a control gate 14 where high voltage is applied. The attracted hot electrons are trapped to the side of the source 2 of a nitrogen film 10, and information is written. When a read operation is conducted, a depletion layer 100 is spread in the vicinity of a drain 4 by the application of high voltage, but does not reach the point where information is written. Accordingly, whether electrons are trapped (information is written) by the nitrogen film 10 can be detected accurately.



LEGAL STATUS

[Date of request for examination] 13.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3221754

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device by which it characterizes [having-side conductive layer which insulated with field which can be cable run formed, was prepared on / by the side of the control electrode prepared on the trap film which was prepared in the source field prepared in a substrate, and a substrate and be prepared so that the field which be cable run formed may form a source field and in between, and which be prepared on / which can be drain field cable run formed / a field, and a trap film, and the source / which can be cable run formed / field, insulated with control electrode on the side of control electrode, and was prepared in it].

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to read-out of the data of a semiconductor device. It is especially related with exact-ization of read-out.

[0002]

[Description of the Prior Art] Generally, as a trap film of trap mold semiconductor memory, the ONO film (Oxide-Nitride-Oxide) film is used. O film of this ONO film is an oxide film, and an insulator layer. On the other hand, N film is a nitride and is an electric conduction film. In addition, N film which is an electric conduction film is inserted into O layers which are oxide films. In the case of writing, an electron is led to this N film.

[0003] The cross section of the trap mold memory which used the ONO film for drawing 9 A and 9B is hung up, and the writing and elimination of data are shown and explained. The source 2 and a drain 4 are formed in the substrate 1 at the trap mold memory 200. The ONO film (the [1O film 8, the N (nitriding) film 10, and] 2O films 12) is formed between this source 2 and a drain 4, and the control gate 14 is formed in that upper part.

[0004] The outline of the write-in principle of this trap mold memory 200 is explained using drawing 9 A. At the time of writing, a channel is formed by an electron being emitted to a drain 4 from the source 2. The trap of a part of this emitted electron is carried out to the N (nitriding) film 10 near the drain as a hot electron. If the trap of the electron is carried out to the N (nitriding) film 10, the threshold voltage of control gate voltage required in order to form a channel will become large. Thus, it is called the condition that the condition that the threshold became large was written in "1." On the other hand, the trap of the electron is not carried out but it is called the condition that the condition that a threshold is still small is written in "0."

[0005] On the other hand, in elimination, it is impressing negative voltage to the control gate 14, and impressing positive voltage to a drain, and the negative electron which led the electron hole to N film and was poured into it is neutralized (refer to drawing 9 B). In addition, read-out can read that "1" is written in, if sense voltage (mean value in case a trap is not carried out to threshold voltage in case the trap of the electron is carried out) is impressed to the control gate and a channel is not formed. Moreover, if a channel is formed, what (it is "0") "1" is not written in for can be read. Thus, in trap mold memory, writing, elimination, and read-out of "1" can be performed free.

[0006]

[Problem(s) to be Solved by the Invention] However, there were the following problems in the conventional trap mold memory. With conventional equipment, as explained using drawing 9 A, the trap of the electron was carried out to the drain 4 side of the N (nitriding) film 10 by hot electron impregnation on the occasion of writing. Moreover, the electron by which the trap was carried out to the drain 4 by impressing comparatively high voltage was read at the time of read-out. However, if the high voltage is impressed to a drain 4, as shown in drawing 9 B, a depletion layer 100 will be formed in the substrate 1 of the drain 4 circumference.

[0007] This depletion layer 100 spreads, and if an electron reaches even the part by which the trap is carried out, in spite of not forming the channel in fact, it will be in the same condition as the case where a channel is formed. That is, since a channel will be formed even when the trap of the electron is carried out to the N (nitriding) film 10 and a channel originally is not formed, it will be detected if "1" is not written in. When conventional equipment was used, it was impossible thus, for a depletion layer 100 to perform breadth and exact read-out at the time of read-out.

[0008] Then, this invention aims at offer of the semiconductor device which can perform exact read-out.

[0009]

[Means for Solving the Problem] A semiconductor device concerning claim 1 is formed in a source field prepared in a substrate, and a substrate. A trap film which was prepared so that a field which can be cable run formed might be

formed a source field and in between and which was prepared on [which can be drain field cable run formed] a field, It is characterized by having a side conductive layer which insulated with a field which can be cable run formed, was prepared on [by the side of a control electrode prepared on a trap film, and the source / which can be cable run formed] a field, insulated with a control electrode on the side of a control electrode, and was prepared in it.

[0010]

[Function] In the semiconductor device concerning this invention, a side conductive layer insulates with the field which can be cable run formed on [by the side of the source / which can be cable run formed] a field, and it insulates with a control electrode on the side of a control electrode, and is prepared in it.

[0011] Therefore, since it is writing in by the source side, a source side is not reached, even if the high voltage is impressed to a drain side and a depletion layer spreads.

[0012]

[Example] One example of the trap mold semiconductor memory concerning this invention is hung up over drawing 2 B, and the structure is explained. In the P type substrate 1, the drain 4 as the source 2 which is a source field, and a drain field is formed, and the first oxide film 8, the N (nitriding) film 10, and the second oxide film 12 as a trap film are formed on the substrate 1 (let three layer membranes of this first oxide film 8, the N (nitriding) film 10, and the second oxide film 12 be the ONO films 30 below). The oxide film 16 is formed so that the control gate 14 which is a control electrode may be formed on this ONO film 30 and the control gate 14 and a substrate 1 may be covered. The selector gate 20 as a side conductive layer is formed in the side of the control gate 14, and the interlayer film 18 is also formed so that the control gate 14 and a substrate 1 may be covered. Furthermore, the bit line (drain wire) 25 is formed on the interlayer film 18.

[0013] Next, the outline of the trap mold semiconductor memory shown in drawing 2 B of operation is explained using drawing 1. The operating state at the time of writing is hung up over drawing 1 A. In the trap mold semiconductor memory concerning this example, it is impressing the high voltage to a drain 4 side and the control gate 14, and impressing 0V to the source 2, and an electron elutriates of the source 2 to a drain 4, and the channel 80 as a field which can be cable run formed is formed between the source 2 and a drain 4. Here, the voltage of the degree from which a substrate 1 will be in ON condition exactly is impressed to the selector gate 20 prepared in the source 2 side. By impressing such voltage, electric field concentrate between a substrate 1 and a selector gate 20. The electron which elutriated of the source 2 serves as a hot electron by the electric field currently concentrated. Since the high voltage is impressed to the control gate at this time, the trap of some hot electrons is carried out to the source side of the N (nitriding) film 10 in an ONO film. The condition that the trap of this electron was carried out to the N (nitriding) film 10 is in the condition that "1" was written in.

[0014] The case where the electron by which the trap was carried out to the N (nitriding) film 10 is read is hung up, and drawing 1 B is explained. As mentioned above, the trap of the electron is carried out to the source 2 side of the N (nitriding) film 10. Therefore, even if it impresses high voltage to a drain 4 in the case of read-out, a depletion layer does not reach the part where the trap of the electron is carried out. That is, as shown in drawing 1 B, even if a depletion layer 100 spreads near the drain 4, it does not spread even in the source side of the N (nitriding) film 10, and an electron becomes possible [detecting correctly whether it is that the trap is carried out ("1" is written in)] at the N (nitriding) film 10. In addition, elimination is performed by emitting the electron by which the trap was carried out to a substrate 1.

[0015] Next, it explains using the equal circuit which shows the details of the trap mold semiconductor memory of this example of operation to drawing 8. Here, use a cel C10 as the selection cel which performs writing, elimination, and read-out for information, and let other cels (cels C20, C30, and C40) be non-choosing cels (drawing 8 A). The voltage impressed to each line, train, and portion in each actuation time at drawing 8 B is shown.

[0016] First, in the case of informational writing, 9V are impressed to 10V and the bit line BL1, 1.5V are impressed to a pan at the selector-gate line SG1, and 0V are impressed to the control gate line CG 1 at others. At this time, in the selection cel C10, it is that 9V are given to the bit line BL1, an electron elutriates of the source 2 between drains 4 as mentioned above, and a channel 80 is formed (refer to drawing 1 A). Moreover, electric field concentrate between a substrate 1 and a selector gate 20 by the voltage from which a substrate called 1.5V is turned on exactly being impressed to a selector gate. The electron which elutriated of the source 2 by this concentrated electric field serves as a hot electron. Furthermore, since a high voltage called 10V in the 14 control gates is given to the control gate 14, the trap of some hot electrons is carried out to the source side of the N (nitriding) film 10 in an ONO film. In this way, the trap of some hot electrons ("1" is written in) is carried out to the N (nitriding) film 10.

[0017] In this way, if "1" is written in, the threshold of voltage required for making the channel 80 shown in drawing 1 A form will rise. By detecting the rise of this threshold, it detects that "1" was written in. That is, sense voltage is impressed to the control gate 14 as mentioned above, and if a channel is not formed between the source 2 and the gate 4

and current does not flow, it detects that "1" was written in.

[0018] Here, if the non-choosing cel C20 is seen, 1.5V are given through 10V and the selector-gate line CG 1 through the control gate line SG1. However, since 0V which are the source 2 and this potential are given to the bit line BL2 and a channel is not formed, there is no possibility that incorrect writing may arise. Moreover, since 0V are respectively given to the selector-gate line SG2 and the control gate line CG 2 also about other non-choosing cels C30 and C40, there is no possibility that an incorrect store may arise in cels other than selection cel C10.

[0019] Next, the case where the electron by which the trap was carried out to the N (nitriding) film 10 is eliminated is explained. In this case, -15V are impressed to the control gate lines CG1 and CG2, respectively, both bit lines BL1 and BL2 are made open, and 0V are given to others. By impressing negative voltage to the control gate, the electric field of the store and reverse which were mentioned above arise. Therefore, the electron by which the trap is carried out is pulled out and emitted to a substrate 1 by FN (Fowler-Norheim) tunneling. In this way, if the electron by which the trap was carried out is pulled out, the threshold of voltage required for making the channel 80 shown in drawing 1 A form will descend. By detecting descent of this threshold, it is detected that information "1" is not written in from the N (nitriding) film 10. That is, if sense voltage is impressed, a channel 80 is formed between the source 2 and a drain 4 as mentioned above and current flows, it will be detected that information "1" is not written in from the N (nitriding) film 10.

[0020] Furthermore, read-out of the information from the selection cel C10 is explained. When reading the information memorized by the selection cel C10, 3V are given to the control gate line CG 1 as sense voltage, in order to make a selector gate turn on, 5V are impressed to the selector-gate line SG1, and 2V are impressed to the bit line BL1. Here, sense voltage is the mean value of a threshold in case the trap of the electron is carried out to the N (nitriding) film 10, and a threshold in case a trap is not carried out. Moreover, 0V are impressed in addition to the above.

[0021] If the selection cel C10 is in a write-in condition, a channel 80 (refer to drawing 1 A) will not be formed, and current will not flow between the source and a drain. Therefore, in the sense amplifier (not shown) linked to the bit line BL1, current cannot be detected but it reads that the selection cel C10 is in a write-in condition. On the other hand, if the selection cel C10 is in the condition of not writing in, the above-mentioned channel 80 will be formed between source drains. Therefore, current flows between the source and a drain and it reads that the selection cel C10 is in the condition of not writing in by detecting this voltage with said sense amplifier.

[0022] Next, if it sees about the selection cel C20, 3V which are sense voltage are impressed to the control gate line CG 1, and 5V are impressed to the selector-gate line SG1. However, since 0V are impressed to the bit line BL2 and it connects with the sense amplifier bit line BL1, read-out is not performed in the non-choosing cel C20. Furthermore, in other non-choosing cels C30 and C40, since 0V are given to the control gate line CG 2 and the selector-gate line SG2, respectively, read-out is not performed.

[0023] In this way, it becomes possible to perform informational writing on the N (nitriding) film 10 by the side of the source by the hot electron impregnation method, and to perform exact read-out by eliminating by FN tunneling.

[0024] The structure and the manufacture method of trap mold memory concerning this example are explained below based on drawing. First, the manufacture method of the trap mold memory shown in drawing 2 B is explained. The O film 8 is formed for a start by thermal oxidation on a substrate 1 (P well). Next, for a start, on the O film 8, LPCVD is used and N (nitriding) film 10 film is formed. next, the N (nitriding) film 10 top -- wet oxidation -- the -- 2O films 12 are formed (drawing 3 A). In this way, the first polish recon film 13 is formed on the formed ONO film 30 (drawing 3 A). Next, the control gate 14 is formed by etching the first polish recon film 13 like drawing 3 B. In order to form this control gate 14, in case the first polish recon film 13 is etched, an oxide film 16 is formed by thermal oxidation to the ONO film 30 and the control gate 1 which remove ONO films 30 other than under the control gate 14 and which were formed on the substrate 1 in this way (drawing 3 C) so that these may be covered (drawing 3 D). Next, the second polish recon film 28 is formed on an oxide film 16 (drawing 4 A). Etchback of this second polish recon film 28 is carried out by reactive etching (RIE) which is anisotropic etching, and sidewalls 20 and 22 are formed (drawing 4 B). Next, the ion implantation of the As (arsenic) is carried out to a substrate 1 by using sidewalls 20 and 22 and the control gate 14 as a mask (drawing 4 B). Etching removes only a sidewall 22 after As (arsenic) impregnation, and the ion implantation of the phosphorus is shortly carried out to a substrate by using a sidewall 20 and the control gate as a mask (drawing 4 C).

[0025] At this time, As (arsenic) and phosphorus which have already been driven into the substrate will overlap and exist in almost all parts. However, only phosphorus exists in the substrate portion BS 1 of a portion with a sidewall 22 (drawing 5 A). After phosphorus is poured in, a BPSG film is formed as an interlayer film 18 (drawing 5 B). This BPSG is PSG (Phospho-Silicate-Glass) which added boron. Next, a reflow of the interlayer film 18 is carried out. Thermal diffusion of As (arsenic) and phosphorus which were driven in in the substrate 1 on the occasion of this reflow

is carried out, and as shown in drawing 5 B, the drain 4 of the source 2 and LDD (Lightly-Doped-Drain) structure is formed. That is, the substrate portion BS 1 into which only the phosphorus by the side of a drain is driven has thin concentration compared with As (arsenic) and the portion into which phosphorus was driven, and it becomes n-, and other portions become n+ and serve as LDD structure. This LDD structure is structure which eases about four-drain electric field.

[0026] As mentioned above, after forming the source 2 and a drain 4, while DEPOSHISHON and carrying out patterning of the aluminum (aluminum) and forming the bit line (drain wire) 25 on the layer intermediate layer 18, a passivation film (not shown) is also formed on the bit line 25 (drawing 2 B). Thus, the trap mold semiconductor memory shown in drawing 2 B is manufactured.

[0027] Next, the structure of other examples of the trap mold semiconductor memory concerning this invention is hung up over drawing 2 A. Compared with the thing of the above-mentioned drawing 2 B, the memory of drawing 2 A differs in that the ONO film 30 is formed the whole surface on a substrate 1. However, both operate as memory by performing same actuation. The manufacture method of drawing 2 A is explained below.

[0028] It is the same as that of the above-mentioned production process until it generates the ONO film 30, it forms the first polish recon film 13 on the ONO film 30 and it forms the control gate 14 by etching on a substrate 1 (refer to the drawing 3 A, drawing 6 A). However, unlike the above-mentioned manufacture method, the ONO film 30 is not etched but an oxide film 16 is formed on the ONO film 30 and a substrate 1 by thermal oxidation (drawing 6 A). Since the subsequent production process is the same as the manufacture method of the trap mold semiconductor memory of the above-mentioned drawing 2 B, it explains briefly.

[0029] The second polish recon film 28 is formed on the formed oxide film 16 (drawing 6 B). Etchback of this second polish recon film 28 is carried out by reactive etching (RIE) which is anisotropic etching, and sidewalls 20 and 22 are formed (drawing 6 C). Next, As (arsenic) is driven in to a substrate 1 by using sidewalls 20 and 22 and the control gate 14 as a mask (drawing 6 C).

[0030] After driving in As (arsenic), etching removes only a sidewall 22 (drawing 7 A). Furthermore, phosphorus is driven in to a substrate 1 by using a sidewall 20 and the control gate 14 as a mask (drawing 7 B). After driving in phosphorus, a BPSG film is formed as an interlayer film 18 (drawing 7 B). Thermal diffusion of As (arsenic) and phosphorus which were driven in at the time of the reflow of this BPSG film is carried out, and the source 2 and a drain 4 are formed (drawing 7 C). Also in the case of this diffusion, a drain 4 side serves as LDD structure as mentioned above according to the concentration difference of the portion into which the portion, phosphorus, and arsenic of only phosphorus were driven.

[0031] After the source 2 and drain 4 formation, while DEPOSHISHON and carrying out patterning of the aluminum (aluminum) and forming the bit line (drain wire) 25 on an interlayer film 18, a passivation film (not shown) is formed on the bit line 25 (drawing 2 A). Thus, the trap mold semiconductor memory shown in drawing 2 A is manufactured.

[0032]

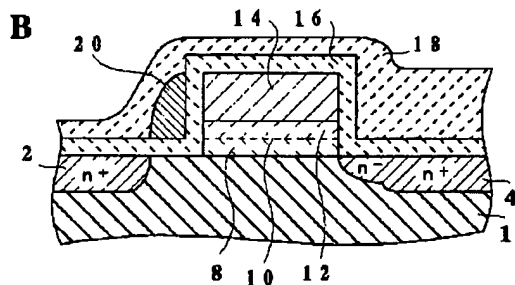
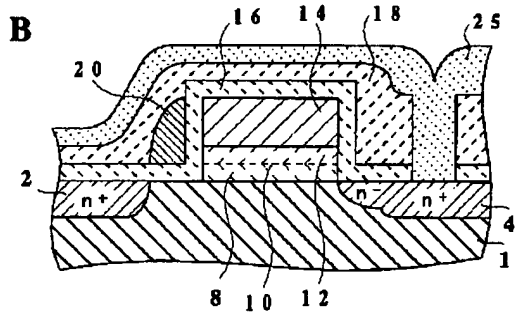
[Effect of the Invention] In the semiconductor device concerning this invention, a side conductive layer insulates with the field which can be cable run formed on [by the side of the source / which can be cable run formed] a field, and it insulates with a control electrode on the side of a control electrode, and is prepared in it. That is, since it is writing in by the source side, a source side is not reached, even if the high voltage is impressed to a drain side and a depletion layer spreads.

[0033] Therefore, it becomes possible to perform exact reading.

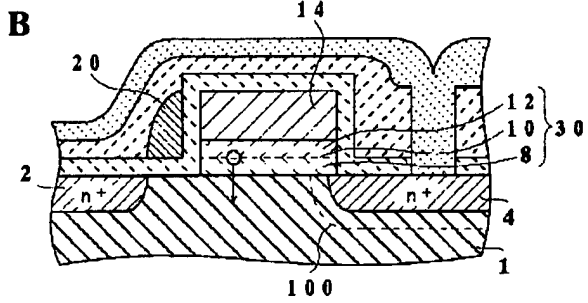
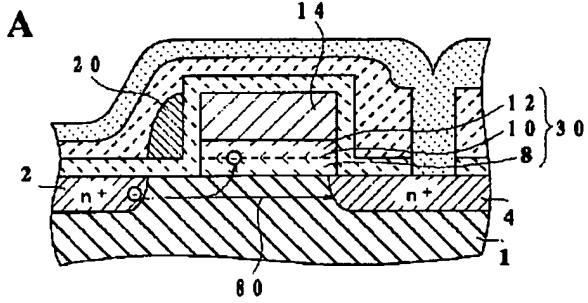
[Translation done.]

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

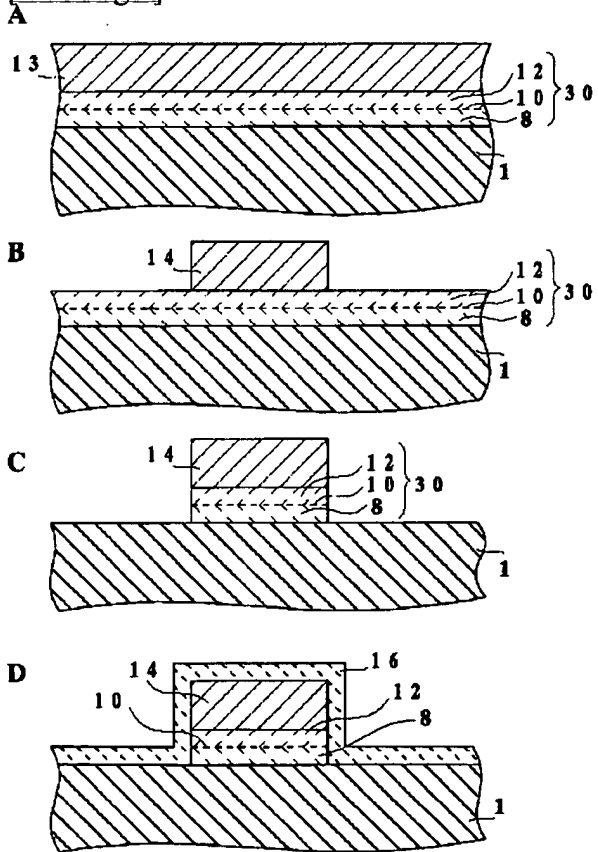


[Drawing 1]

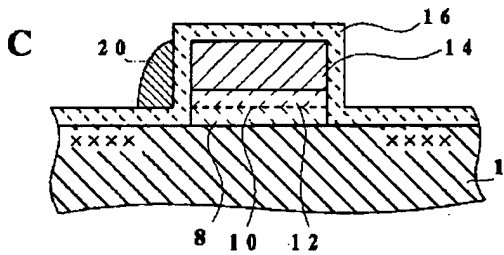
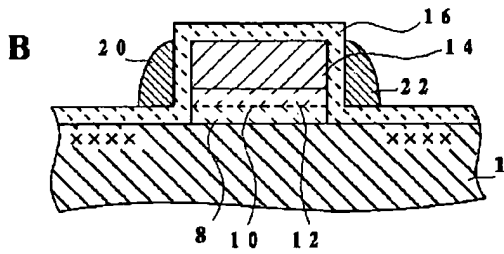
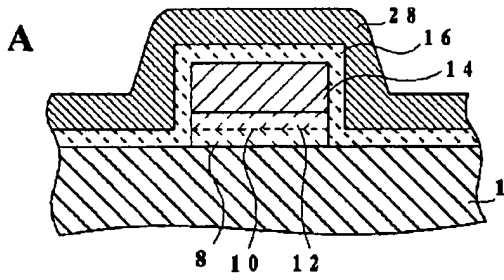


- | | |
|--------------|-----------|
| 1: 基板 | 14: 制御ゲート |
| 2: ソース | 20: 選択ゲート |
| 4: ドレイン | 80: チャネル |
| 10: N (窒素) 膜 | 100: 空乏層 |

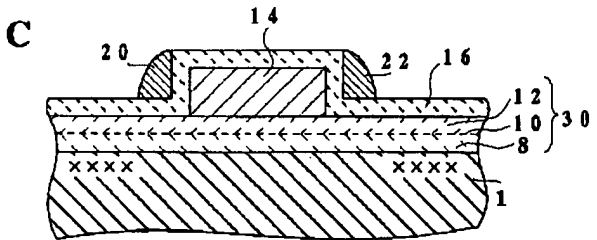
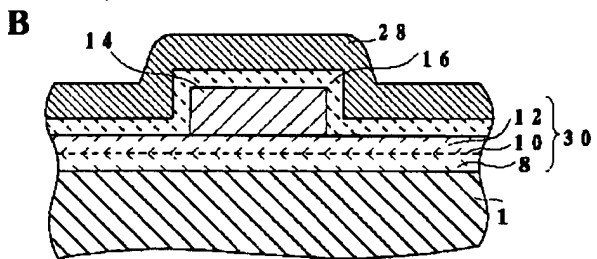
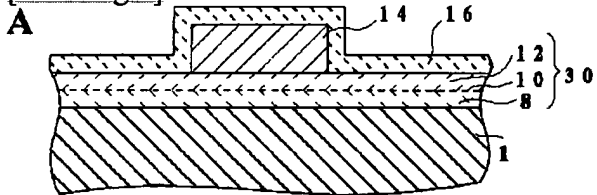
[Drawing 3]



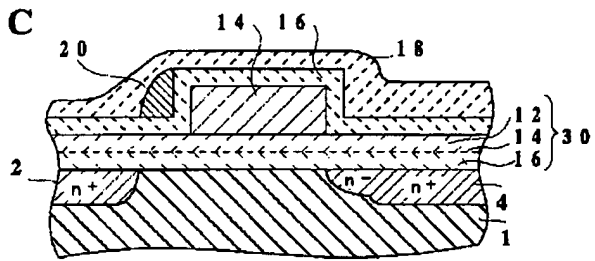
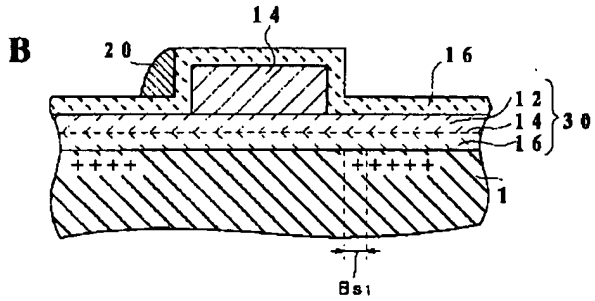
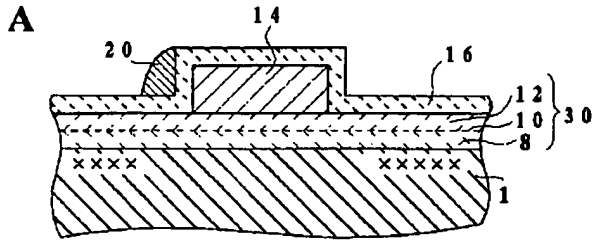
[Drawing 4]



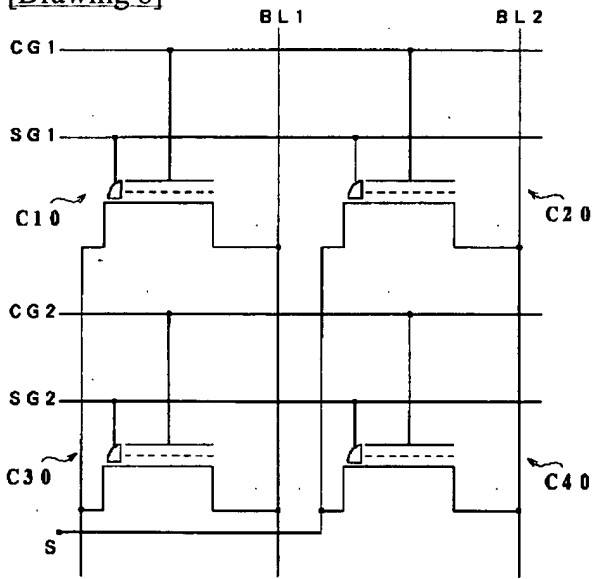
[Drawing 6]



[Drawing 7]



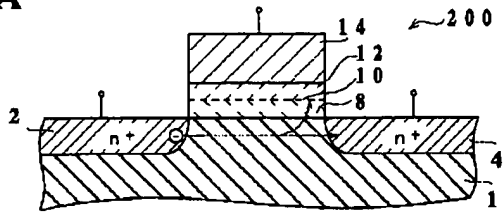
[Drawing 8]



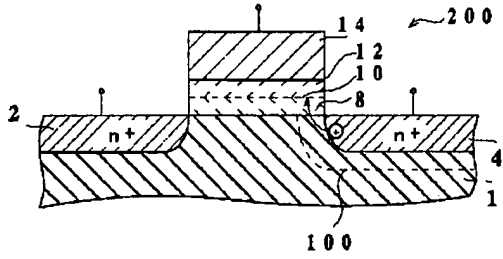
(V)	CG1	CG2	SG1	SG2	BL1	BL2	S	SUB
書き込み	10	0	1.5	0	8	0	0	0
消去	-15	-15	0	0	OPEN	OPEN	0	0
読み出し	3	0	5	0	2	0	0	0

[Drawing 9]

A



B



[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-181319

(43)公開日 平成6年(1994)6月28日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

27/115

7210-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号

特願平4-334347

(22)出願日

平成4年(1992)12月15日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中尾 広宣

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

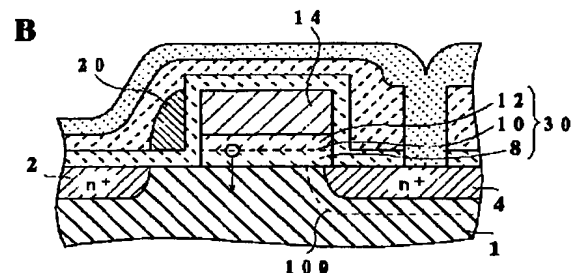
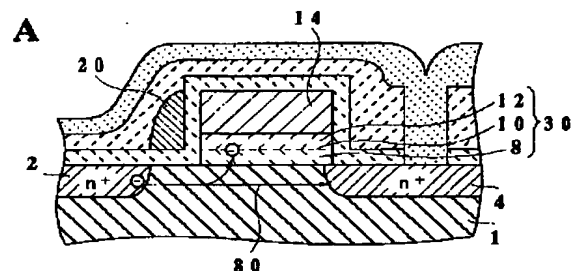
(74)代理人 弁理士 古谷 栄男 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 正確な読み出しを行なう事が可能な半導体装置の提供を目的とする。

【構成】 書込の際は、図1Aのように、ソース2に高電圧を印加し、ソース2からドレイン4に飛出す電子によってチャンネル80を形成する。選択ゲート20に低電圧を印加すると、選択ゲート14、基板1間に電界が集中し、電子の一部がホットエレクトロンとなり高電圧を印加した制御ゲート14方向に引き付けられる。引き付けられたホットエレクトロンはN(窒化)膜10のソース2側にトラップされ、情報が書込まれる。読み出しの場合は、図1Bのようにドレイン4に高電圧を印加して空乏層100がドレイン4近傍に広がっても、情報が書込まれた箇所に達することがない。したがって、N(窒化)膜10に電子がトラップされている(情報が書込まれている)か否かを正確に検出する事が可能となる。



1: 基板
2: ソース
4: ドレイン
10: N(窒化)膜
14: 制御ゲート
20: 選択ゲート
80: チャンネル
100: 空乏層

(2)

【特許請求の範囲】

【請求項1】基板内に設けられたソース領域、
基板内に設けられ、ソース領域と間に電路形成可能領域
を形成するように設けられたドレイン領域
電路形成可能領域上に設けられたトラップ膜、
トラップ膜上に設けられた制御電極、
ソース側の電路形成可能領域上に電路形成可能領域と絶
縁して設けられており、制御電極の側面に制御電極と絶
縁して設けられた側導電層、
を備えたこと特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置のデータの読
み出しに関する。特に読み出しの正確化に関する。

【0002】

【従来の技術】一般に、トラップ型半導体メモリのトラ
ップ膜としては、ONO膜(Oxide-Nitride-Oxide)膜が用いられている。このONO膜の
O膜は酸化膜であり絶縁膜である。一方、N膜は窒化膜
であり導電膜である。なお、導電膜であるN膜は酸化膜
であるO層に挟まれている。書込みの際には、電子がこ
のN膜に導かれる。

【0003】図9A、9BにONO膜を用いたトラップ
型メモリの断面図を掲げてデータの書込み及び消去を示
す説明する。トラップ型メモリ200には基板1内にソ
ース2、ドレイン4が形成されている。このソース2、
ドレイン4間にONO膜(第一O膜8、N(窒化)膜1
0及び第二O膜12)が形成されており、その上方に制
御ゲート14が形成されている。

【0004】このトラップ型メモリ200の書込原理の
概要を図9Aを用いて説明する。書込み時は、ソース2
からドレイン4に電子が放出されることでチャンネルが形
成される。この放出された電子の一部はホットエレクト
ロンとしてドレイン近傍のN(窒化)膜10にトラップ
される。N(窒化)膜10に電子がトラップされている
と、チャンネルを形成するために必要な制御ゲート電圧の
しきい値電圧が大きくなる。このように、しきい値が大
きくなった状態を”1”が書込まれた状態という。これ
に対し、電子がトラップされず、しきい値が小さいまま
の状態を”0”が書込まれている状態という。

【0005】一方、消去の場合は、制御ゲート14に負
の電圧を印加し、ドレインに正の電圧を印加すること
で、N膜に正孔を導いて注入された負の電子を中和する
(図9B参照)。なお、読み出しは、制御ゲートにセン
ス電圧(電子がトラップされている場合のしきい値電圧
とトラップされていない場合の中間値)を印加し、チャ
ネルが形成されなければ、”1”が書込まれていること
を読み出すことが出来る。また、チャンネルが形成され
れば、”1”が書込まれていない(”0”である)ことを
読み出すことが出来る。このようにして、トラップ型メ

モリにおいて”1”の書込み、消去及び読み出しを自在
に行なうことが出来る。

【0006】

【発明が解決しようとする課題】しかし、従来のトラッ
プ型メモリには以下のような問題があった。従来の装置
では図9Aを用いて説明したように、書込みの際にN
(窒化)膜10のドレイン4側に電子をホットエレクト
ロン注入によってトラップさせていた。また、読み出し
の際は、ドレイン4に比較的高い電圧を印加してトラッ
プされた電子の読み出しを行なっていた。しかし、ドレ
イン4に高電圧を印加すると、図9Bに示すようにドレ
イン4周辺の基板1内に空乏層100が形成されてしま
う。

【0007】この空乏層100が広がってしまい、電子
がトラップされている箇所にまで達すると、実際にはチャ
ネルが形成されていないにもかかわらず、チャンネルが
形成された場合と同じ状態になってしまう。すなわち、
N(窒化)膜10に電子がトラップされており本来チャ
ネルが形成されない場合でも、チャンネルが形成されてし
まうので、”1”が書込まれていないと検出されてしま
う。このように、従来の装置を用いると、読み出し時に
空乏層100が広がり、正確な読み出しを行なうことが
できなくなっていた。

【0008】そこで、本発明は正確な読み出しを行なう
ことが可能な半導体装置の提供を目的とする。

【0009】

【課題を解決するための手段】請求項1に係る半導体装
置は、基板内に設けられたソース領域、基板内に設けら
れ、ソース領域と間に電路形成可能領域を形成するよう
に設けられたドレイン領域電路形成可能領域上に設けら
れたトラップ膜、トラップ膜上に設けられた制御電極、
ソース側の電路形成可能領域上に電路形成可能領域と絶
縁して設けられており、制御電極の側面に制御電極と絶
縁して設けられた側導電層、を備えたことを特徴として
いる。

【0010】

【作用】本発明に係る半導体装置においては、側導電層
がソース側の電路形成可能領域上に電路形成可能領域と
絶縁しかつ、制御電極の側面に制御電極と絶縁して設け
られている。

【0011】したがって、ソース側で書込みを行なっ
ているので、ドレイン側に高電圧が印加され空乏層が広が
ってもソース側に達することがない。

【0012】

【実施例】本発明に係るトラップ型半導体メモリの一実
施例を図2Bに掲げて、その構造を説明する。P型基板
1内にはソース領域であるソース2及びドレイン領域と
してのドレイン4が形成されており、基板1上にはトラ
ップ膜としての第一酸化膜8、N(窒化)膜10及び第
二酸化膜12が形成されている(この第一酸化膜8、N

(3)

3

(窒化)膜10及び第二酸化膜12の三層膜を以下ONO膜30とする)。このONO膜30上には制御電極である制御ゲート14が形成され、また、制御ゲート14と基板1を覆うように酸化膜16が形成されている。制御ゲート14の側面には側導電層としての選択ゲート20が設けられており、制御ゲート14と基板1を覆うように層間膜18も形成されている。さらに、層間膜18上にはビットライン(ドレイン線)25が形成されている。

【0013】次に、図2Bに示したトラップ型半導体メモリの動作概要を図1を用いて説明する。図1Aに書込み時の動作状態を掲げる。本実施例に係るトラップ型半導体メモリにおいては、ドレイン4側及び制御ゲート14に高電圧を印加し、ソース2に0Vを印加することで、ソース2からドレイン4に電子が飛出し、ソース2、ドレイン4間に電路形成可能領域としてのチャンネル80を形成する。ここで、ソース2側に設けられた選択ゲート20に基板1がちょうどON状態になる程度の電圧を印加する。このような電圧を印加することで、基板1、選択ゲート20間に電界が集中する。ソース2から飛出した電子は集中している電界によりホットエレクトロンとなる。この時、制御ゲートには高電圧が印加されているので、ホットエレクトロンの一部はONO膜内のN(窒化)膜10のソース側にトラップされる。この電子がN(窒化)膜10にトラップされた状態が"1"が書込まれた状態である。

【0014】N(窒化)膜10にトラップされた電子を読み出す場合を図1Bを掲げて説明する。上述のように、電子はN(窒化)膜10のソース2側にトラップされている。したがって、読み出しの際に、ドレイン4に高い電圧を印加しても、空乏層は電子がトラップされている箇所に達することがない。すなわち、図1Bに示すように、ドレイン4の近傍に空乏層100が広がっても、N(窒化)膜10のソース側にまで広がる事がなく、N(窒化)膜10に電子がトラップされている("1"が書込まれている)か否かを正確に検出する事が可能となる。なお、消去はトラップされた電子を基板1に放出することによって行なわれる。

【0015】次に、本実施例のトラップ型半導体メモリの動作詳細を図8に示す等価回路を用いて説明する。ここでは、セルC10を情報を書込み、消去及び読み出しを行なう選択セルとし、その他のセル(セルC20、C30及びC40)を非選択セルとする(図8A)。図8Bに各動作時点での各々の行、列及び部分に印加される電圧を示す。

【0016】まず、情報の書込みの際には、制御ゲート線CG1に10V、ビットラインBL1に9V、さらに、選択ゲート線SG1に1.5Vを印加し、その他には0Vを印加する。このとき、選択セルC10においては、ビットラインBL1に9Vが与えられる事で、前述

4

のようにソース2からドレイン4間に電子が飛出し、チャンネル80が形成される(図1A参照)。また、選択ゲートには1.5Vという基板1、選択ゲート20間に電界が集中することによって基板1、選択ゲート20間に電界が集中する。この集中した電界によりソース2から飛出した電子はホットエレクトロンとなる。さらに、制御ゲート14チャンネルが制御ゲート14に10Vという高電圧が与えられているので、ホットエレクトロンの一部はONO膜内のN(窒化)膜10のソース側にトラップされる。こうして、N(窒化)膜10にホットエレクトロンの一部がトラップ("1"が書込まれる)される。

【0017】こうして、"1"が書込まれると、図1Aに示すチャンネル80を形成させるのに必要な電圧のしきい値が上昇する。このしきい値の上昇を検出することで、"1"が書込まれたことを検出する。すなわち、前述のように制御ゲート14にセンス電圧を印加し、ソース2とゲート4間にチャンネルが形成されず電流が流れなければ"1"が書込まれたと検出するのである。

【0018】ここで、非選択セルC20を観ると、制御ゲート線SG1を通じて10V、選択ゲート線CG1を通じて1.5Vが与えられている。しかし、ビットラインBL2にはソース2と同電位である0Vが与えられており、チャンネルが形成されないので、誤書込みが生じる虞がない。また、他の非選択セルC30及びC40に関しても、選択ゲート線SG2、制御ゲート線CG2には各々0Vが与えられているので、選択セルC10以外のセルに誤書込みが生じる虞がない。

【0019】次に、N(窒化)膜10にトラップされた電子を消去する場合について説明する。この場合、制御ゲート線CG1及びCG2にそれぞれ-15Vを印加し、ビットラインBL1及びBL2の両方をオープンにし、その他には0Vを与える。制御ゲートに負の電圧を印加することで、上述した書込と逆の電界が生じる。したがって、トラップされている電子はFN(Fowler-Norheim)トンネリングによって基板1に引出され、放出される。こうして、トラップされた電子が引出されると、図1Aに示すチャンネル80を形成させるのに必要な電圧のしきい値が下降する。このしきい値の下降を検出することで、N(窒化)膜10から情報"1"が書込まれていないことが検出される。すなわち、上記のように、センス電圧を印加して、ソース2とドレイン4間にチャンネル80が形成され、電流が流れると、N(窒化)膜10から情報"1"が書込まれていないことが検出されるのである。

【0020】さらに、選択セルC10からの情報の読み出しについて説明する。選択セルC10に記憶された情報を読み出す場合、制御ゲート線CG1にセンス電圧として3Vを与え、選択ゲートをONさせるために選択ゲート線SG1に5V、ビットラインBL1に2Vを印加する。ここで、センス電圧とは、N(窒化)膜10に電

(4)

5

子がトラップされている場合のしきい値と、トラップされていない場合のしきい値の中間値である。また、上記以外には0Vを印加する。

【0021】選択セルC10が書込状態であれば、チャネル80（図1A参照）は形成されず、ソース、ドレイン間に電流が流れない。したがって、ビットラインBL1に接続したセンスアンプ（図示せず）では、電流を検出することができず、選択セルC10は書込み状態であることを読み取る。一方、選択セルC10が非書込み状態であれば、ソースドレイン間に前述のチャネル80が形成される。したがって、ソース、ドレイン間に電流が流れ、この電圧を前記センスアンプによって検出することで、選択セルC10が非書込み状態であることを読み取る。

【0022】次に選択セルC20について観ると、制御ゲート線CG1にはセンス電圧である3Vが印加され、選択ゲート線SG1には5Vが印加されている。しかし、ビットラインBL2には0Vが印加されており、センスアンプビットラインBL1に接続されているので、非選択セルC20で読み出しが行なわれることはない。さらに、他の非選択セルC30及びC40においては、制御ゲート線CG2及び選択ゲート線SG2にそれぞれ0Vが与えられているので、読み出しが行なわれることはない。

【0023】こうして、情報の書込みをホットエレクトロン注入方式によるソース側のN（窒化）膜10に行ない、消去をFNTンネリングにより行なうことで、正確な読み出しを行なうことが可能となる。

【0024】本実施例に係るトラップ型メモリの構造及び製造方法を図に基づいて以下に説明する。まず、図2Bに示すトラップ型メモリの製造方法を説明する。基板1（Pウェル）上に熱酸化により第一O膜8を形成する。次に第一O膜8上にLPCVDを用いてN（窒化）膜10膜を形成する。次に、N（窒化）膜10上にウェット酸化によって第二O膜12を形成する（図3A）。こうして形成したONO膜30上に第一ポリシリコン膜13を形成する（図3A）。次に、第一ポリシリコン膜13を図3Bのようにエッチングすることで制御ゲート14を形成する。この制御ゲート14を形成する為に第一ポリシリコン膜13をエッチングする際に、制御ゲート14下以外のONO膜30を除去する（図3C）こうして基板1上に形成されたONO膜30と制御ゲート1に対し、これらを覆うように酸化膜16を熱酸化によって形成する（図3D）。次に、酸化膜16上に第二ポリシリコン膜28を形成する（図4A）。この第二ポリシリコン膜28を、異方性エッチングであるリアクティブエッチング（RIE）によってエッチバックし、サイドウォール20及び22を形成する（図4B）。次に、サイドウォール20、22及び制御ゲート14をマスクとして、基板1に対しAs（ヒ素）をイオン注入する（図

6

4B）。As（ヒ素）注入後、サイドウォール22だけをエッチングによって除去し、今度はサイドウォール20及び制御ゲートをマスクとして、基板に対し磷をイオン注入する（図4C）。

【0025】この時、既に基板に打込まれているAs（ヒ素）と磷とは殆どの箇所で重複して存在することになる。しかし、サイドウォール22のあった部分の基板部分BS1には磷しか存在しない（図5A）。磷が注入された後、層間膜18としてBPSG膜を形成する（図5B）。このBPSGとはボロンを添加したPSG（Phospho-Silicate-Glass）のことである。次に、層間膜18をリフローさせる。このリフローの際に、基板1内に打込まれたAs（ヒ素）及び磷は熱拡散し、図5Bに示すように、ソース2とLDD（Lightly-Doped-Drain）構造のドレイン4が形成される。すなわち、ドレイン側の磷のみが打込まれている基板部分BS1はAs（ヒ素）と磷が打込まれた部分と比べて濃度が薄く、n-となり、他の部分はn+となり、LDD構造となる。このLDD構造とは、ドレイン4近傍の電界を緩和する構造である。

【0026】上記のように、ソース2及びドレイン4を形成した後、層間膜18上にAl（アルミニウム）をデポジションし、パターニングしてビットライン（ドレイン線）25を形成するとともに、パッシベーション膜（図示せず）もビットライン25上に形成する（図2B）。このようにして、図2Bに示すトラップ型半導体メモリが製造される。

【0027】次に、本発明に係るトラップ型半導体メモリの他の実施例の構造を図2Aに掲げる。前述の図2Bのものと比べると図2Aのメモリは基板1上の全面にONO膜30が形成されている点で異なる。しかし、両者は同様の動作を行なうことでメモリとして動作する。以下に図2Aの製造方法を説明する。

【0028】基板1上にONO膜30を生成し、ONO膜30上に第一ポリシリコン膜13を形成してエッチングにより制御ゲート14を形成するまでは前述の工程と同様である（図3A参照、図6A）。ただし、前述の製造方法と異なり、ONO膜30をエッチングせず、酸化膜16を熱酸化によりONO膜30上及び基板1上に形成する（図6A）。その後の工程は、前述の図2Bのトラップ型半導体メモリの製造方法と同じであるので簡単に説明する。

【0029】形成した酸化膜16の上に第二ポリシリコン膜28を形成する（図6B）。この第二ポリシリコン膜28を、異方性エッチングであるリアクティブエッチング（RIE）によってエッチバックし、サイドウォール20及び22を形成する（図6C）。次に、サイドウォール20、22及び制御ゲート14をマスクとして、基板1に対しAs（ヒ素）を打込む（図6C）。

【0030】As（ヒ素）を打込んだ後、サイドウォール

(5)

7

ル22だけをエッチングによって除去する(図7A)。さらに、サイドウォール20及び制御ゲート14をマスクとして、基板1に対し燐を打込む(図7B)。燐を打込んだ後、層間膜18としてBPSG膜を形成する(図7B)。このBPSG膜のリフロー時に、打込まれたAs(ひ素)及び燐は熱拡散し、ソース2及びドレイン4が形成される(図7C)。この拡散の際にも、ドレイン4側は燐のみの部分と燐とひ素とが打込まれた部分の濃度差によって、前述のようにLDD構造となる。

【0031】ソース2及びドレイン4形成後、層間膜18上にAl(アルミニウム)をデポジションし、パターニングしてビットライン(ドレイン線)25を形成するとともに、パッシベーション膜(図示せず)をビットライン25上に形成する(図2A)。このようにして図2Aに示す、トラップ型半導体メモリが製造される。

【0032】

【発明の効果】本発明に係る半導体装置においては、側導電層がソース側の電路形成可能領域上に電路形成可能領域と絶縁し、かつ、制御電極の側面に制御電極と絶縁して設けられている。すなわち、ソース側で書込みを行なっているため、ドレイン側に高電圧が印加され空乏層が広がってもソース側に達することがない。

【0033】したがって、正確な読み取りを行なうことが可能となる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置(トラップ型半導体メモリ)の動作概要を示す図である。

8

【図2】本発明に係る半導体装置(トラップ型半導体メモリ)の構造を示す断面図である。

【図3】図2Bに示す半導体装置の製造工程を示す図である。

【図4】図2Bに示す半導体装置の製造工程を示す図である。

【図5】図2Bに示す半導体装置の製造工程を示す図である。

【図6】図2Aに示す半導体装置の製造工程を示す図である。

【図7】図2Aに示す半導体装置の製造工程を示す図である。

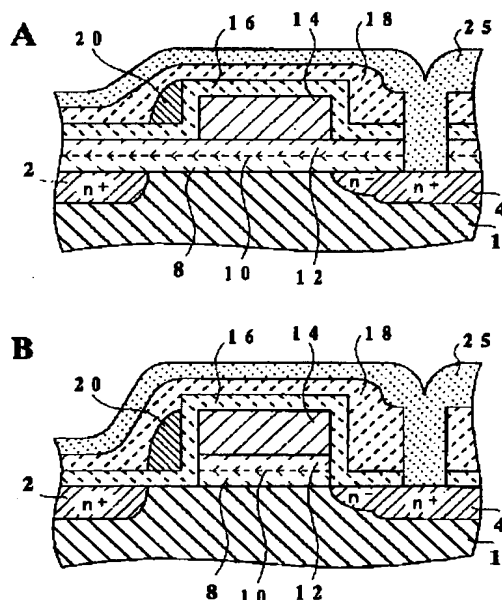
【図8】図2に示す半導体装置(トラップ型半導体メモリ)のセルを組合せた状態を示す図である。Aはセルを組合せた等価回路であり、Bは書込、消去及び読み出し時の各部での電圧の一例を示す図である。

【図9】従来の半導体装置の書込み及び読み出しの動作概要を示す図である。

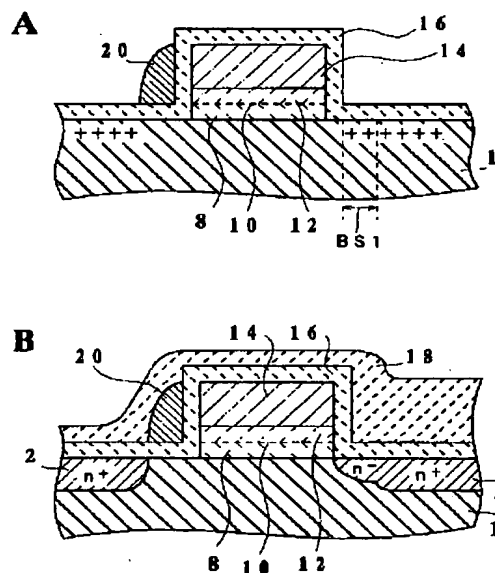
【符号の説明】

- 1・・・基板
- 2・・・ソース
- 4・・・ドレイン
- 10・・・N(窒化)膜
- 14・・・制御ゲート
- 20・・・選択ゲート
- 80・・・チャネル
- 100・・・空乏層

【図2】

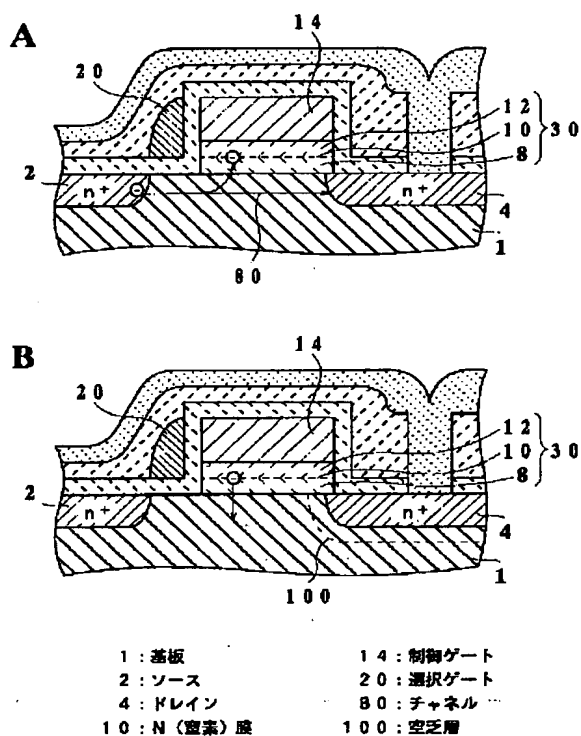


【図5】

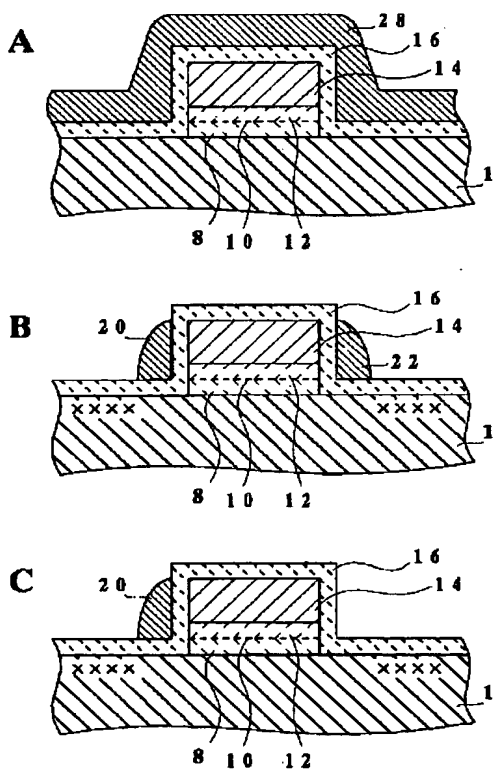


(6)

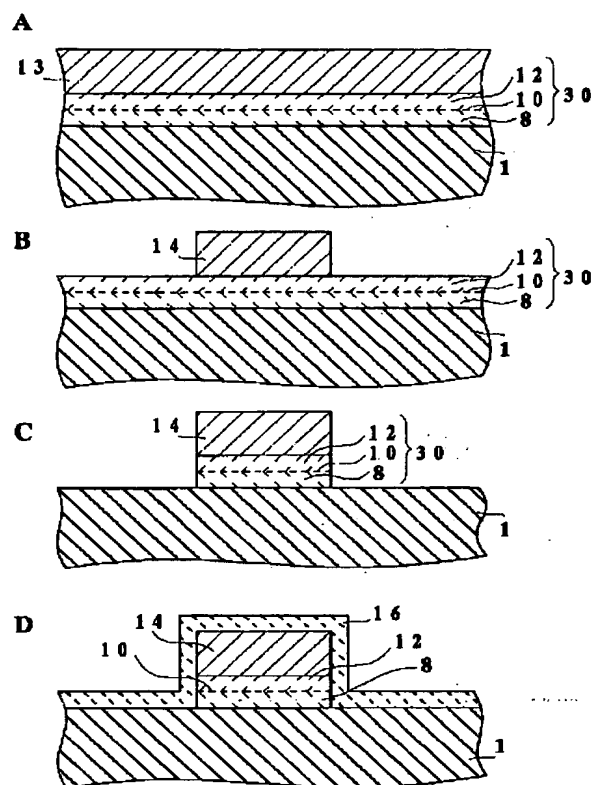
【図1】



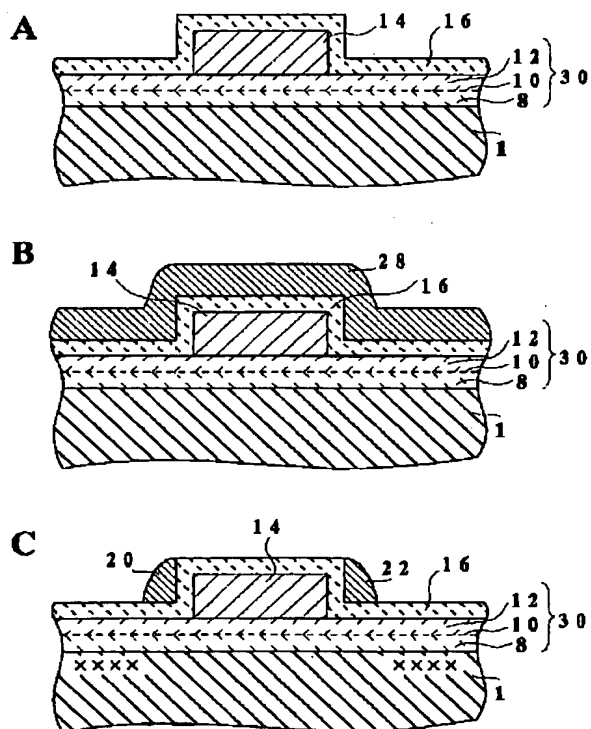
【図4】



【図3】

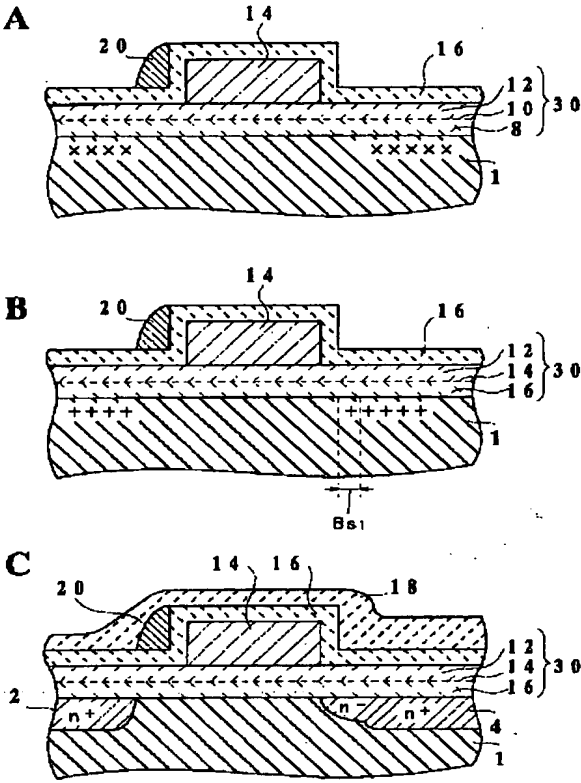


【図6】

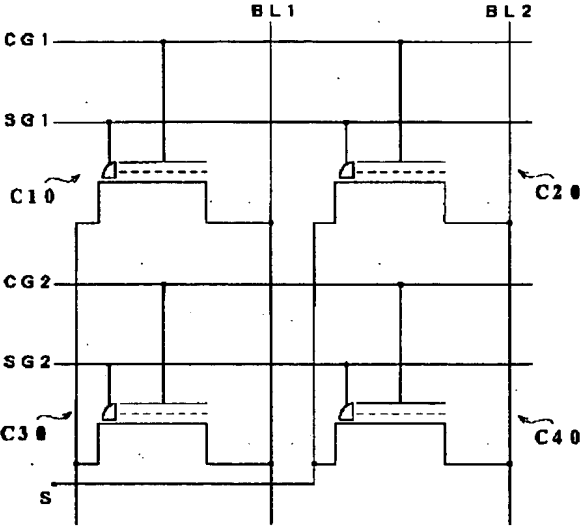


(7)

【図7】



【図8】



(V)	CG1	CG2	SG1	SG2	BL1	BL2	S	SUB
書き込み	10	0	1.5	0	9	0	0	0
消去	-15	-15	0	0	OPEN	OPEN	0	0
読み出し	3	0	5	0	2	0	0	0

【図9】

